



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0064115
Application Number

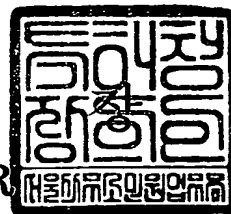
출원 년 월 일 : 2003년 09월 16일
Date of Application SEP 16, 2003

출원 인 : (주)엑스엘 광통신
Applicant(s) XL Photonics, Inc



2003 년 10 월 23 일

특 허 청
COMMISSIONER





1020030064115

출력 일자: 2003/10/27

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.09.16
【발명의 명칭】	포토 다이오드의 구조 및 제조 방법
【발명의 영문명칭】	Photo-diode and method for fabricating the same
【출원인】	
【명칭】	주식회사 엑스엘 광통신
【출원인코드】	1-2000-004816-1
【대리인】	
【성명】	박형근
【대리인코드】	9-1998-000249-7
【포괄위임등록번호】	2003-051133-2
【발명자】	
【성명의 국문표기】	박찬용
【성명의 영문표기】	PARK, Chan-Yong
【주민등록번호】	590721-1722010
【우편번호】	305-804
【주소】	대전광역시 유성구 신성동 121-7
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박형근 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	15 면 15,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	25 항 909,000 원
【합계】	953,000 원
【감면사유】	소기업 (70%감면)
【감면후 수수료】	285,900 원
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류_1통

**【요약서】****【요약】**

본 발명은 메사 에칭된 부분에 가해지는 과도한 전기장을 감소시켜 안정적으로 동작하고 수명을 연장할 수 있는 메사형 애벌란치 포토 다이오드의 구조 및 제조 방법에 관한 것으로, 기판과, 상기 기판위에 형성된 제 1 도전형 버퍼층과, 메사 구조를 갖고 상기 제 1 도전형 버퍼층위에 형성되는 초격자 구조의 증폭층과, 상기 증폭층 위에 형성되는 제 2 도전형 전기장 조절층과, 상기 전기장 조절층내에 형성되는 제 2 도전형 이온 주입층과, 상기 전기장 조절층 위에 형성되는 제 2 도전형 광흡수층과, 상기 광흡수층위에 형성되는 제 2 도전형 전기장 버퍼층과, 상기 제 1 도전형 버퍼층 및 제 2 도전형 전기장 버퍼층에 각각 전기적으로 연결되도록 형성되는 제 1 전극 및 제 2 전극을 구비하여 구성된 것이다.

【대표도】

도 4

【색인어】

반도체, APD, Avalanche Photodiode, 광통신, 광검출기



【명세서】

【발명의 명칭】

포토 다이오드의 구조 및 제조 방법{Photo-diode and method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래의 애벌란치 포토 다이오드의 단면 구조도

도 2는 종래 다른 기술의 애벌란치 포토 다이오드 단면 구조도

도 3은 종래의 애벌란치 포토 다이오드의 반도체 표면에서부터 깊이로 따른정량 분석 결과 그래프

도 4는 본 발명의 실시예에 따른 애벌란치 포토다이오드의 단면도

도 5a 내지 5h는 본 발명의 제 1 실시예에 따른 애벌란치 포토다이오드의 공정 단면도

도 6a 내지 6f는 본 발명의 제 2 실시예에 따른 애벌란치 포토다이오드의 공정 단면도

< 도면의 주요부분에 대한 부호의 설명 >

101 : n-형 InP 기판 102 : n-형 InP 버퍼층

103 : n-형 InAlAs 버퍼층 104 : 초격자 구조의 증폭층

105 : p-형 전기장 조절층 106 : 이온주입층

107 : p-형 InGaAs 광흡수층 108 : p-형 전기장 버퍼층

109 : p-형 InGaAs 오믹접촉층 110 : 보호막

111 : p-전극 112 : n-전극



113 : 무반사막 114 : 표면 보호층

115a, 115b : 콘택 홀 116, 117 : 감광막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 초고속 광통신에서 광검출기로 사용되는 포토 다이오드(Photo-diode)에 관한 것으로, 특히 메사 에칭된 부분에 가해지는 과도한 전기장을 감소시켜 안정적으로 동작하고 수명을 연장할 수 있는 메사형 애벌란치 포토 다이오드의 구조 및 제조 방법에 관한 것이다.
- <17> 일반적으로 광 통신에서 송신측은 발광소자를 이용해 전기적 신호를 광 신호로 변환하여 광 섬유 등을 이용한 전송로로 송신하며, 수신측에서는 수광소자를 이용해 상기 광 신호를 전기적 신호로 변환한다.
- <18> 상기 광 통신에서 수신측에서 수광소자로 포토 다이오드(Photo diode)가 사용되고 있으며, 그중에 애벌란치 포토 다이오드(Avalanche Photodiode)가 가장 널리 사용되고 있다. 상기 애벌란치 포토 다이오드는 높은 전기장이 가해진 영역에 캐리어가 주입되어 애벌란치 효과에 의한 증폭을 얻는 소자이다. 이러한 애벌란치 포토 다이오드로서 대표적인 것이 평면형과 메사(Mesa)형 애벌란치 포토 다이오드가 있다. 이러한 두 종류의 애벌란치 포토 다이오드는 공통적으로 반도체 기판상에 증폭층과 흡수층을 적층한 구조를 가지는 것이 일반적이다.
- <19> 이와 같은 종래의 애벌란치 포토 다이오드를 첨부된 도면을 참조하여 설명하면 다음과 같다.



- <20> 도 1은 I. Watanabe 등의 논문(“Gain-Bandwidth Product Analysis of InAlGaAs-InAlAs Superlattice Avalanche Photodiodes” IEEE Photonics Technology Letters, vol.8, No2, pp.269-271, 1996)에 나타난 종래의 애벌란치 포토 다이오드의 단면도이다.
- <21> 종래의 애벌란치 포토 다이오드의 제조 방법은, 도 1에 나타낸 바와 같이, 고농도 n-형의 InP 기판(1) 위에 고농도 n-형의 InP 버퍼층(2), 고농도 n-형의 InAlAs 버퍼층(3), 및 도핑하지 않은 InAlAs와 InGaAlAs를 교대로 적층된 초격자 구조의 증폭층(4)을 차례로 형성한다. 그리고, 상기 증폭층(4)위에 고농도 p-형의 전기장 조절층(5), 저농도 p-형의 InGaAs 광흡수층(6), 고농도 p-형의 InP 전기장 버퍼층(7), 및 고농도 p-형의 InGaAs 오믹접촉층(Ohmic contact layer)(8)을 MOCVD(Metal-organic Chemical Vapor Deposition)법 또는 GSMBE(Gas Source Molecular Beam Epitaxy)법 등을 이용하여 차례로 증착한다.
- <22> 그후, 도면에는 도시되지 않았지만 상기 고농도 p-형의 InGaAs 오믹접촉층(8)위에 감광막을 증착하고 마스크를 이용한 노광 및 현상 공정으로 메사 에칭할 영역을 정의한 후, 상기 고농도 n-형의 InP 버퍼층(2)의 표면이 노출되도록 상기 고농도 n-형의 InAlAs 버퍼층(3), 상기 증폭층(4), 상기 고농도 p-형의 전기장 조절층(5), 상기 저농도 p-형의 InGaAs 광흡수층(6), 상기 고농도 p-형의 InP 전기장 버퍼층(7), 및 상기 고농도 p-형의 InGaAs 오믹접촉층(8)을 선택적으로 제거하여 메사 구조를 형성한다.
- <23> 그리고, 상기 메사 구조를 갖는 기판 전면에 표면 보호막(9)을 형성하고, 상기 고농도 n-형의 InP 버퍼층(2)의 표면 및 상기 고농도 p-형의 InGaAs 오믹접촉층(8)의 표면이 노출되도록 상기 표면 보호막(9)을 선택적으로 제거하여 콘택홀을 형성한다. 계속해서, 상기 콘택홀을 통해 상기 고농도 n-형의 InP 버퍼층(2) 및 상기 고농도 p-형의 InGaAs 오믹접촉층에 전기적으로 연결되도록 각각 n-전극(11) 및 p-전극(10)을 형성한다.

- <24> 상기와 같이 도 1과 같은 종래의 애벌란치 포토 다이오드의 제조 방법은 반도체 결정 성장에 의해 pn 접합을 형성하므로 증폭층(4)의 두께 조절이 매우 용이하며 증폭층(4)을 초격자 구조로 형성하므로 애벌란치 포토 다이오드의 증폭 특성이 향상되고 잉여 잡음 지수(Excess Noise Factor)의 감소 등의 특성 향상을 기할 수 있었고, 메사 에칭 구조를 채택하므로 정전용량(Capacitance)이 감소하여 고속 동작 특성에 유리한 장점을 가지고 있다.
- <25> 그러나, 메사 에칭한 표면에 전기장이 과도하게 인가됨으로 누설전류가 크게 발생할 뿐만 아니라 이로 인한 소자의 수명이 감소하는 단점이 노출 되었다.
- <26> 따라서, 이와 같은 문제점을 보완하여 수명을 향상시킬 수 있는 기술이 개발되었다.
- <27> 도 2는 도 1의 메사형 애벌란치 포토 다이오드의 수명을 향상시키기 위해 제안된 C.Y. Park 등의 논문("Fabrication of InGaAs/InP avalanche photodiodes by reactive ion etching using CH₄/H₂ gases" Journal of Vacuum Science Technologies B, vol.13, No3, pp.974-977, 1995)에 나타난 종래의 애벌란치 포토 다이오드의 단면도이다.
- <28> 도 2를 참조하여 상기 C.Y. Park 등의 논문에 따른 애벌란치 포토 다이오드의 제조 방법을 설명하면 다음과 같다.
- <29> 고농도 n-형의 InP 기판(21)위에 고농도 n-형의 InP 버퍼층(22), 도핑하지 않은 InGaAs 광흡수층(23), 다층 구조의 InGaAsP 그레이딩층(24), n-형의 InP 전기장 조절층(25)을 MOCVD 등의 반도체 에피성장(epitaxial growth) 장치를 이용하여 차례로 성장한다.
- <30> 다음, 도 2의 A부분과 같이, 전하 접시(charge plate)를 형성하기 위하여, 상기 전기장 조절층(25)의 두께를 다르게 형성한다. 즉, 사진식판술(photolithography)로 상기 전기장 조절

층(25)위에 감광막 패턴(도면에는 도시되지 않음)을 형성하고 상기 감광막 패턴에 의해 노출된 상기 전기장 조절층(25)의 일부분을 에칭한다.

- <31> 그리고, 상기 전기장 조절층(25)위에 도핑하지 않은 InP를 MOCVD 등의 반도체 에피성장(epitaxial growth) 장치를 이용하여 2차 성장한 웨이퍼 상에 p-형 불순물을 확산시켜 InP 증폭층(26)과 고농도 p형의 InP 접촉층(27)을 차례로 형성한다.
- <32> 계속해서, 도면에는 도시되지 않았지만, 상기 고농도 p-형의 InP 접촉층(27)위에 감광막을 증착하고 마스크를 이용한 노광 및 현상 공정으로 메사 에칭할 영역을 정의한 후, 상기 고농도 n-형의 InP 버퍼층(22)의 표면이 노출되도록, InGaAs 광흡수층(23), 다층 구조의 InGaAsP 그레이딩층(24), n-형의 InP 전기장 조절층(25), InP 증폭층(26) 및 고농도 p형의 InP 접촉층(27)을 선택적으로 제거하여 메사 구조를 형성한다. 메사에칭은 가락지(Ring) 형태로 하며 에칭한 부분에 폴리이미드를 형성한다.
- <33> 그리고, 전면에 표면 보호막(28)을 형성하고, 상기 고농도 p형의 InP 접촉층의 표면이 노출되도록 상기 표면 보호막(9)을 선택적으로 제거하여 콘택홀을 형성한 후, 상기 콘택홀을 통해 상기 고농도 p형 InP 접촉층(27)과 전기적으로 연결되도록 p-전극(29)을 형성하고 상기 고농도 n-형의 InP 기판(21)의 배면에 n-전극(30)을 형성하여 애벌란치 포토 다이오드를 제작한다.
- <34> 이와 같은 전하접시(charge plate)를 갖는 애벌란치 포토 다이오드는 전류를 증폭하기 위해 높은 전기장을 인가할 경우, 전기장 조절층(25)의 두께가 두꺼운 중앙부분(도 2의 A 부분)은 높은 전기장이 인가되어 입사된 광신호에 의해 발생한 광전류를 증폭하게 되지만 그 주변



부분에서는 전기장이 낮게 형성되어 메사 에칭한 표면(도 2의 B 부분)에서의 전류 흐름이 작아 누화(degradation)가 발생하지 않게 된다.

【발명이 이루고자 하는 기술적 과제】

- <35> 그러나, 도 2에 나타난 종래의 애벌란치 포토 다이오드의 구조는, 상기와 같이 메사 에칭한 표면에서 발생하는 소자의 신뢰성 감소를 해소할 수 있는 장점을 지니고 있으나, 전기장 조절층을 식각한 후 그 위에 다시 반도체를 성장하는 과정을 반드시 거치게 되어 있고, 이와 같이 재성장할 경우 재성장 계면(도 2의 빗금친 부분: regrowth interface)에 산소원자 및 실리콘 원자가 적층되는 문제가 발생한다.
- <36> 산소원자 및 실리콘원자가 경계면에 적층될 경우, 반도체 소자 내부의 전기장 분포가 균일하지 않게되어 소자의 수명을 감소시키게 되는데, 재성장 계면이 ~ 600 kV/cm 정도의 높은 전기장이 인가되는 증폭층과 전기장 조절층 사이에 존재하기 때문에 재성장 과정은 수명을 단축시키게 된다.
- <37> 재성장 경계면에서 산소 및 실리콘 원자가 적층되는 실험을 실시한 결과를 도 3에 나타내었다.
- <38> 도 3의 결과는 재성장을 실시한 웨이퍼를 SIMS(Secondary Ion Mass Spectroscopy) 방법으로 반도체 표면에서부터 깊이에 따른 정량 분석 결과이다. 도 3에 나타난 적층된 산소 및 실리콘 원자의 양은 매우 많아서 실제 소자제작에 많은 영향을 주게 된다.
- <39> 따라서, 초고속 광통신용 메사형 APD에 있어서 여러 장점을 가지고 있는 메사형으로 하되, 소자의 신뢰성에 전혀 영향을 주지 않는 새로운 APD 구조를 제시하는 것이 필요하다.



<40> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 초고속 광통신용 메사형 애벌란치 포토 다이오드에 있어서, 재성장 계면이 존재하지 않도록 하여 메사 에칭한 표면에서의 전기장을 억제함은 물론 소자의 수명특성을 향상시킬 수 있는 애벌란치 포토 다이오드의 구조 및 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<41> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 포토 다이오드의 구조는, 기판과, 상기 기판위에 형성된 제 1 도전형 버퍼층과, 메사 구조를 갖고 상기 제 1 도전형 버퍼층위에 형성되는 초격자 구조의 증폭층과, 상기 증폭층 위에 형성되는 제 2 도전형 전기장 조절층과, 상기 전기장 조절층내에 형성되는 제 2 도전형 이온 주입층과, 상기 전기장 조절층위에 형성되는 제 2 도전형 광흡수층과, 상기 광흡수층위에 형성되는 제 2 도전형 전기장 버퍼층과, 상기 제 1 도전형 버퍼층 및 제 2 도전형 버퍼층에 각각 전기적으로 연결되도록 형성되는 제 1 전극 및 제 2 전극을 구비하여 구성됨에 그 특징이 있다.

<42> 여기서, 상기 제 2 도전형 전기장 버퍼층과 제 2 전극 사이에 제 2 도전형 오믹접촉층을 더 구비함에 특징이 있다.

<43> 상기 제 2 도전형 오믹접촉층을 포함한 기판 전면에 보호막이 더 구비되고 상기 보호막은 상기 제 1 전극과 상기 제 1 도전형 버퍼층이 전기적으로 연결되고 상기 제 2 전극과 상기 오믹접촉층이 전기적으로 연결되도록 콘택홀을 구비함에 특징이 있다.

<44> 상기 기판의 배면에 형성되는 무반사막을 더 구비함에 특징이 있다.



- <45> 상기 제 1 도전형 버퍼층, 제 2 도전형 전기장 조절층 및 상기 제 2 도전형 버퍼층을 InP 반도체로 형성되고, 상기 제 2 도전형 광 흡수층은 InGaGs 반도체층으로 형성됨에 특징이 있다.
- <46> 상기 제 1 도전형 버퍼층은 InP 반도체층과 InAlAs 반도체층이 적층됨에 특징이 있다.
- <47> 상기 제 2 도전형 이온주입층의 전하밀도와 상기 제 2 도전형 전기장 조절층의 전하밀도의 합이 $3 \times 10^{12} / \text{cm}^3 \pm 20\%$ 이내이고, 상기 이온주입층이 형성되지 않은 가장자리 부분의 전하밀도는 $2 \times 10^{12} / \text{cm}^3 \pm 20\%$ 인 것에 특징이 있다.
- <48> 상기 초격자 구조의 증폭층은 InAlAs 반도체층 또는 InAlGaAs 반도체층으로 형성되거나, 상기 두 층이 교번하여 적층된 구조임에 특징이 있다.
- <49> 상기 제 2 전극은 상기 제 2 전극 쪽에서 광신호를 입사시킬 수 있도록 링 모양으로 형성됨에 특징이 있다.
- <50> 상기 기판은 제 1 도전형 InP 반도체 또는 반 절연 InP 반도체층으로 형성됨에 특징이 있다.
- <51> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 포토 다이오드의 제조 방법은, 기판을 준비하는 단계와, 상기 기판위에 제 1 도전형 버퍼층, 초격자 구조의 증폭층, 제 2 도전형 전기장 조절층 및 표면 보호층을 차례로 형성하는 단계와, 상기 전기장 조절층내에 이온 주입하여 제 2 도전형 이온 주입층을 형성하는 단계와, 상기 표면 보호층을 제거하고 상기 전기장 조절층위에 제 2 도전형 광흡수층, 제 2 도전형 전기장 버퍼층 및 제 2 도전형 오믹접촉층을 차례로 형성하는 단계와, 상기 제 1 도전형 버퍼층의 표면이 노출되도록 상기 이온 주입층을 중심으로 이온주입층 주위 영역의 상기 제 2 도전형 오믹 접촉층, 제 2 도전형 전기장 버



퍼층, 제 2 도전형 광흡수층, 제 2 도전형 전기장 조절층, 초격자 구조의 증폭층을 선택적으로 제거하여 메사 구조를 형성하는 단계와, 상기 오믹접촉층 및 상기 제 1 도전형 버퍼층에 콘택 홀을 갖도록 기판 전면에 보호막을 형성하는 단계와, 상기 콘택 홀을 통해 상기 제 1 도전형 버퍼층과 상기 제 2 도전형 오믹 접촉층에 전기적으로 연결되도록 제 1 전극과 제 2 전극을 형성하는 단계를 포함하여 이루어짐에 그 특징이 있다.

- <52> 여기서, 상기 이온주입층을 형성하는 단계는, 상기 전기장 조절층에 베릴륨(Be; Beryllium) 또는 마그네슘(Mg; Magnesium)과 같은 불순물을 이온 주입하는 단계와, 상기 기판을 열처리하여 주입된 이온을 활성화시키는 단계를 포함함에 특징이 있다.
- <53> 상기 열처리는 600~700℃로 함에 특징이 있다.
- <54> 소자의 두께를 줄이기 위해 기판을 랩핑하는 공정과 폴리싱하는 공정을 더 포함함에 특징이 있다.
- <55> 상기 기판의 배면에 무반사막을 형성하는 단계를 더 포함함에 특징이 있다.
- <56> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 포토 다이오드의 제조 방법은, 기판을 준비하는 단계와, 상기 기판위에 제 1 도전형 버퍼층, 초격자 구조의 증폭층, 제 2 도전형 전기장 조절층, 제 2 도전형 광흡수층, 제 2 도전형 전기장 버퍼층 및 제 2 도전형 오믹 접촉층을 차례로 형성하는 단계와, 상기 전기장

조절층내에 이온 주입하여 제 2 도전형 이온 주입층을 형성하는 단계와, 상기 제 1 도전형 버퍼층의 표면이 노출되도록 상기 이온 주입층을 중심으로 이온주입층 주위 영역의 상기 제 2 도전형 오믹 접촉층, 제 2 도전형 전기장 버퍼층, 제 2 도전형 광흡수층, 제 2 도전형 전기장 조절층, 초격자 구조의 증폭층을 선택적으로 제거하여 메사 구조를 형성하는 단계와, 상기 오믹접촉층 및 상기 제 1 도전형 버퍼층에 콘택홀을 갖도록 기판 전면에 보호막을 형성하는 단계와, 상기 콘택 홀을 통해 상기 제 1 도전형 버퍼층과 상기 제 2 도전형 오믹 접촉층에 전기적으로 연결되도록 제 1 전극과 제 2 전극을 형성하는 단계를 포함하여 이루어짐에 또 다른 특징이 있다.

<57> 이하, 상기와 같은 특징으로 갖는 본 발명에 따른 포토 다이오드의 구조 및 제조 방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<58> 도 4는 본 발명의 실시 예에 따른 메사형 애벌란치 포토 다이오드의 단면도이다.

<59> 본 발명에 따른 포토 다이오드는, 도 4에 나타낸 바와 같이, n-형의 InP 기판(101)위에 이 후의 결정성장을 원활하게 하기 위한 n-형 InP 버퍼층(102)이 형성된다. 그리고, 상기 n-형 InP 버퍼층(102)위에 메사 구조를 갖고 이 후의 초격자 구성 물질의 성장을 원활하기 하기 위한 n-형의 InAlAs 버퍼층(103), 신호전류를 증폭하기 위해 도핑하지 않은 InAlAs와 InGaAlAs이 교대로 적층된 초격자 구조의 증폭층(104), 광흡수층에 인가되는 전기장의 세기를 낮추어 주기 위한 p-형 InP 전기장 조절층(105), 광신호를 흡수하여 전류로 바꾸어주는 p-형 InGaAs 광 흡수층(107), p-형의 InP 전기장 버퍼층(108), p-전극과의 전기적 접촉저항을 낮추기 위한 p-형의 InGaAs 오믹 접촉층(ohmic contacting layer)(109)이 차례로 형성된다.

<60> 또한, 상기 p-형 InP 전기장 조절층(105) 내부의 중앙부위에 국소적으로 이온주입층(106)이 형성되고, 상기와 같은 구조를 갖는 메사 구조에서, 상기 p-형의 InGaAs 오믹 접촉층

(ohmic contacting layer)(109)과 상기 n-형 InP 버퍼층(102)에 콘택홀을 갖도록 기판 전면에 표면보호막(110)이 형성되고, 상기 콘택홀을 통해 상기 p-형의 InGaAs 오믹 접촉층(ohmic contacting layer)(109)과 상기 n-형 InP 버퍼층(102) 각각에 전기적으로 연결되도록 상기 표면 보호막(110)위에 각각 p-전극(111)과, n-전극(112)이 형성된다, 그리고, 상기 n-형의 InP 기판(101)의 배면에는 입사하는 빛이 반사되는 것을 방지하기 위한 무반사막(113)이 형성된다.

<61> 여기서, 상기 n-InP 버퍼층(102)은 상기 n-InP 기판(101)과 같은 물질로 형성되어 상기 기판과 이후에 성장할 반도체층을 원활하게 연결시켜 주는 역할을 하고, 상기 n-InAlAs 버퍼층(103)은 초격자 구조의 증폭층(104)의 InAlAs층 및 InAlGaAs층의 성장을 쉽게 하기 위해 필요한 층이다. 또한, 상기 증폭층(104)은 InAlAs와 InAlGaAs를 교대로 여러층 성장한 초격자 구조로 신호 전류를 증폭시키는 역할을 수행하며, 상기 증폭층(104)에는 애벌란치(avalanche) 현상에 의해 전류를 증폭시키기 위해 ~ 600 kV/cm $\pm 0\%$ 의 높은 전기장이 인가된다.

<62> 상기 광흡수층(107)은 광통신에 사용되는 긴 파장의 빛을 흡수하기 위해 밴드갭이 작은 InGaAs가 사용되며, 밴드갭이 작기 때문에 200 kV/cm 이상의 높은 전기장이 인가되면 터널링 현상에 의한 누설전류가 크게 증가하여 소자 특성을 저해할 수 있기 때문에, 이 현상을 막기 위해 광흡수층(107)의 전기장 세기를 200 kV 이하로 낮추기 위해 p-InP 전기장 조절층(105)이 필요하다. 이와 같은 조건을 얻기 위한(즉 증폭층에는 충분한 전기장을 공급하고 흡수층에는 전기장 인가를 낮추기 위한 조건) p-InP 전기장 조절층(105)의 전하 밀도(캐리어 농도 \times 두께)는 $3.0 \times 10^{12} / \text{cm}^2 \pm 0\%$ 정도가 되어야 한다. 이러한 조건하에서 광흡수층(107)의 전기장은 200 kV/cm 이하로 유지하되 증폭층(104)에는 ~ 600 kV/cm $\pm 0\%$ 의 높은 전기장을 가할 수 있게 된다.



- <63> 그리고, 상기 이온 주입층(106)이 없을 경우, 즉 종래의 기술의 경우, 상기 전기장이 상기 증폭층(104)의 전 부위에 골고루 작용하게 되어, 소자의 중앙부위와 메사 에칭 표면 부위 모두에 동일한 전기장이 인가되며, 특히 메사에칭이 수직으로 형성되지 않고 경사가 진 경우에는 소자의 중앙부 보다 상대적으로 더 큰 전기장이 가해지기 때문에 신뢰성 특성 및 수명 특성이 급격히 나빠지게 된다.
- <64> 따라서, 메사형 애벌란치 포토 다이오드의 신뢰성 및 수명 특성을 향상시키기 위하여 상기 전기장 조절층(105)의 중앙부위에 이온 주입층(106)을 형성한다.
- <65> 즉, 상기 증폭층(104)에는 $\sim 600 \text{ kV/cm} \pm 20\%$ 의 높은 전기장이 인가되도록 하여 충분한 증폭지수(Avalanche gain factor)를 얻도록 함과 동시에, 메사 에칭 표면을 포함하는 소자의 가장자리 부분에서 전기장을 중앙 부위의 $2/3$ 이하로 낮추어 주기 위해, 상기 전기장 조절층(105)의 전하 밀도를 $2 \times 10^{12} / \text{cm}^2$ 정도로 작게 형성하고, 상기 이온주입층(106)의 전하밀도를 $1 \times 10^{12} / \text{cm}^2$ 정도로 형성하여 주면, 상기 이온주입층(106)이 소자의 중앙 부분에 형성되므로 소자의 중앙부분의 전하밀도는 $3 \times 10^{12} / \text{cm}^2$ 이 되고 소자의 가장자리 부분은 상기 이온주입층(106)이 없으므로 $2 \times 10^{12} / \text{cm}^2$ 을 유지하게 되어 충분한 애벌란치(avalanche) 증폭과 수명 특성 향상을 동시에 얻을 수 있게 된다.
- <66> 결국, 상기 이온주입층(106)은 전기장 조절층(105)과 같은 도핑타입인 p-형으로 형성되어야 하며, 상기 증폭층(104)의 중앙부에는 높은 전기장이 인가되도록 작용하고 상기 증폭층(104)의 가장자리 부분에는 충분히 낮은 전기장이 인가되어 수명 특성이 향상되도록 작용한다.
- <67> 상기 도 4에서 설명한 본 발명에 따른 포토 다이오드의 구조에서, 상기 증폭층(104)이 초격자 구조를(Superlattice) 갖지 않도록 하여도 무방하고, 도핑하지 않은 단일층의 InAlAs 또는 InAlGaAs를 사용할 수도 있다.



- <68> 또한, 상기 도 4에서 설명한 본 발명에 따른 포토 다이오드의 구조에서 오믹 접촉층(109)은 사용하지 않을 수도 있다. 이 경우 p-InP 전기장 버퍼층(108)은 반드시 포함되어야 하며, 상기 p-InP 전기장 버퍼층(108)이 상기 오믹 접촉층(109)을 겹치게 된다. 또한, 상기 p-InP 전기장 버퍼층(108)을 사용하지 않을 수도 있는데, 이 경우 상기 오믹 접촉층(109)은 반드시 포함되어야 한다.
- <69> 또한, 상기 도 4에서 설명한 본 발명에 따른 포토 다이오드의 구조에서, 광 신호를 상기 p-형 전극(111)쪽으로 입사시킬 수 있도록 하기 위하여, 상기 p-형 전극(111)을 가락지 구조(Ring structure)로 형성할 수 있다. 이 경우 기판(101)쪽에 형성된 무반사막(113)은 필요없으므로 구성요소에서 제외하는 것이 생산성 측면에서 유리하다.
- <70> 상기 도 4에서 설명한 본 발명에 따른 포토 다이오드의 구조에서, 상기 기판(101)으로 n-형 InP 대신 반 절연 InP 기판(Semi-insulation InP substrate)을 사용할 수도 있다.
- <71> 상기 도 4의 설명에서 n-형을 제 1 도전형이라 하고 p-형을 제 2 도전형이라 명명한다.
- <72> 상기와 같은 구조를 갖는 본 발명에 따른 포토 다이오드의 제조 방법을 설명하면 다음과 같다.
- <73> 도 5a 내지 5h는 본 발명의 제 1 실시예에 따른 에벌란치 포토다이오드의 공정 단면도이다.
- <74> 도 5a와 같이, n-InP 기판(101)위에, n-InP 버퍼층(102), n-InAlAs 버퍼층(103), 불순물 도핑되지 않은 InAlAs와 InGaAlAs를 교대로 형성한 초격자 구조의 증폭층(104), p-InP 전기장 조절층(105)을 차례로 형성하고, 상기 p-InP 전기장 조절층(105)위에 p-InGaAs 표면 보호층(114)을 차례로 형성한다. 여기서, 상기 표면 보호층(114)은 이후 공정에서 상기 전기장 조절

층(105)에 불순물 이온을 주입하고 열처리할 때 상기 전기장 조절층(105)의 표면을 보호하기 위한 것이다.

<75> 도 5b와 같이, 상기 p-InGaAs 표면 보호층(114)위에 감광막(116)을 증착하고 사진식판술 (photolithography)을 이용하여 노광 및 현상하여 이온 주입 영역을 정의한다. 그리고, 상기 p-InP 전기장 조절층(105)의 중앙 부분의 영역에 베릴륨(Be; Beryllium) 또는 마그네슘(Mg; Magnesium)과 같은 p-형 불순물을 이온 주입하고, 상기 이온 주입 공정에 의해 상기 p-InP 전기장 조절층(105)의 결정성(Crystal property)이 파괴될 수 있으므로 이를 복원하고 주입된 이온을 활성화시키기 위해 열처리하여 이온주입층(106)을 형성한다. 여기서, 상기 감광막(116) 대신에 실리콘 산화막(SiO₂) 또는 실리콘 질화막(SiN_x) 등을 사용할 수 있으며, 상기 열처리 조건은 600~700 °C로 한다.

<76> 도 5c와 같이, 상기 감광막(116) 및 p-형의 InGaAs 표면 보호층(114)을 제거하고, 도 5d와 같이, 상기 p-형의 InP 전기장 조절층(105)위에 p-형의 InGaAs 광흡수층(107), p-형의 InP 전기장 버퍼층(108), 및 p-형의 InGaAs 오믹 접촉층(109)을 차례로 형성한다.

<77> 도 5e와 같이, 상기 p-InGaAs 오믹 접촉층(109)위에 노광 및 현상 공정으로 감광막 패턴 (117)을 형성한 다음, 상기 n-InP 버퍼층(102)의 표면이 노출되도록 상기 이온 주입층(106)을 중심으로 양측 영역의 상기 p-InGaAs 오믹 접촉층(109), p-InP 전기장 버퍼층(108), InGaAs 광 흡수층(107), p-InP 전기장 조절층(105), 초격자 구조의 증폭층(104) 및 n-InAlAs 버퍼층(103)을 선택적으로 제거하여 메사 구조를 형성한다.

<78> 도 5f와 같이, 상기 메사 구조를 갖는 기판 전면에 실리콘 질화막 (SiN_x) 등으로 보호막 (110)을 형성하고, 상기 이온주입층(106) 상측의 상기 p-InGaAs 오믹 접촉층(109)과 상기



n-InP 버퍼층(102)의 표면이 노출되도록 상기 보호막(110)을 선택적으로 제거하여 콘택 홀(contact hole)(115a, 115b)을 형성한다.

<79> 도 5g와 같이, 상기 콘택 홀(115a, 115b)을 통해 상기 n-InP 버퍼층(102)과 상기 p-InGaAs 오믹 접촉층(109)에 전기적으로 연결되도록 보호막(110) 전면에 도전성 물질(금속)을 증착하고 패터닝하여 n형 전극(112)과 p형 전극(111)을 형성한다.

<80> 도 5h와 같이, 소자의 두께를 줄이기 위해 랩핑(lapping) 공정 및 폴리싱(polishing) 공정을 거친 다음, 빛이 입사하는 상기 n-Inp 기판(101)의 배면에 무반사막(113)을 형성한다. 여기서, 상기 무반사막(113)을 상기 n-InP 기판(101) 배면의 전면에 형성할 수 있고, 상기 메사 구조내부의 영역에만 국부적으로 형성할 수 있다.

<81> 한편, 상기 도 4와 같은 구조를 갖는 본 발명에 따른 포토 다이오드를 또 다른 방법으로 형성할 수 있다.

<82> 도 6a 내지 6h는 본 발명의 제 2 실시예에 따른 애벌란치 포토다이오드의 공정 단면도이다.

<83> 도 6a와 같이, n-InP 기판(101)위에, n-InP 버퍼층(102), n-InAlAs 버퍼층(103), 불순물 도핑되지 않은 InAlAs와 InGaAlAs를 교대로 형성한 초격자 구조의 증폭층(104), p-InP 전기장 조절층(105), InGaAs 광흡수층(107), p-InP 전기장 버퍼층(108), 및 p-InGaAs 오믹 접촉층(109)을 차례로 형성한다.

<84> 도 6b와 같이, 상기 p-InGaAs 오믹 접촉층(109)위에 감광막(116)을 증착하고 사진식각술(photolithography)을 이용하여 노광 및 현상하여 이온 주입 영역을 정의한다. 그리고, 상기 p-InP 전기장 조절층(105)의 중앙 부분의 영역에 베릴륨(Be; Beryllium) 또는 마그네슘(Mg;

Magnesium)과 같은 p-형 불순물을 이온 주입하고, 상기 이온 주입 공정에 의해 상기 반도체층의 결정성(Crystal property)이 파괴될 수 있으므로 이를 복원하고 주입된 이온을 활성화시키기 위해 열처리하여 이온주입층(106)을 형성한다. 여기서, 상기 감광막(116) 대신에 실리콘 산화막(SiO₂) 또는 실리콘 질화막(SiN_x) 등을 사용할 수 있으며, 상기 열처리 조건은 600~700 °C로 한다.

<85> 도 6c와 같이, 상기 감광막(116) 제거하고, 상기 p-InGaAs 오믹 접촉층(109)위에 감광막 패턴(117)을 형성하여, 상기 n-InP 버퍼층(102)의 표면이 노출되도록 상기 이온 주입층(106)을 중심으로 양측 영역의 상기 p-InGaAs 오믹 접촉층(109), p-InP 전기장 버퍼층(108), InGaAs 광흡수층(107), p-InP 전기장 조절층(105), 초격자 구조의 증폭층(104) 및 n-InAlAs 버퍼층(103)을 선택적으로 제거하여 메사 구조를 형성한다.

<86> 도 6d와 같이, 상기 메사 구조를 갖는 기판 전면에서 실리콘 질화막(SiN_x) 등으로 보호막(110)을 형성하고, 상기 이온주입층(106) 상측의 상기 p-InGaAs 오믹 접촉층(109)과 상기 n-InP 버퍼층(102)의 표면이 노출되도록 상기 보호막(110)을 선택적으로 제거하여 콘택 홀(contact hole)(115a, 115b)을 형성한다.

<87> 도 6e와 같이, 상기 콘택 홀(115a, 115b)을 통해 상기 n-InP 버퍼층(102)과 상기 p-InGaAs 오믹 접촉층(109)에 전기적으로 연결되도록 보호막(110) 전면에서 도전성 물질(금속)을 증착하고 패터닝하여 n형 전극(112)과 p형 전극(111)을 형성한다.



<88> 도 6f와 같이, 빛이 입사하는 상기 n-Inp 기판(101)의 배면에 무반사막(113)을 형성한다. 여기서, 상기 무반사막(113)을 상기 n-Inp 기판(101) 배면의 전면에 형성할 수 있고, 상기 메사 구조내부의 영역에만 국부적으로 형성할 수 있다.

【발명의 효과】

<89> 이상에서 설명한 바와 같은 본 발명에 따른 포토 다이오드의 구조 및 제조 방법에 있어서는 다음과 같은 효과가 있다.

<90> 첫째, 상기 전기장 조절층에 이온주입층을 형성하므로, 상기 이온주입층이 형성된 소자의 중앙부에는 애벌란치 효과에 의해 충분한 증폭을 얻을 수 있도록 높은 전기장이 인가되며 소자의 가장자리 부분에는 전기장 세기를 크게 낮출 수 있어서 메사 에칭 표면에서의 전류누설을 줄일 수 있고 수명을 크게 향상시킬 수 있다.

<91> 종래의 기술에서는 500~600 kV의 높은 전기장이 인가되는 증폭층과 전기장 조절층 사이에 재성장 계면이 형성되기 때문에 수명이 짧아지는 문제가 발생하였으나, 본 발명의 제 1 실시예의 경우, 재성장 계면이 전기장 세기가 200 kV 이하로 매우 낮은 흡수층과 전기장 조절층 사이에 형성되므로 포토 다이오드 소자의 수명을 크게 향상시킬 수 있다.

<92> 본 발명의 제 2 실시예의 경우, 한번의 결정 성장을 실시함으로써 종래 기술에서의 재성장 계면을 없앨 수도 있다.

【특허청구범위】**【청구항 1】**

기판;

상기 기판위에 형성된 제 1 도전형 버퍼층;

메사 구조를 갖고 상기 제 1 도전형 버퍼층위에 형성되는 초격자 구조의 증폭층;

상기 증폭층 위에 형성되는 제 2 도전형 전기장 조절층;

상기 전기장 조절층내에 형성되는 제 2 도전형 이온 주입층;

상기 전기장 조절층위에 형성되는 제 2 도전형 광흡수층;

상기 광흡수층위에 형성되는 제 2 도전형 버퍼층; 그리고

상기 제 1 도전형 버퍼층 및 제 2 도전형 버퍼층에 각각 전기적으로 연결되도록 형성되는 제 1 전극 및 제 2 전극을 구비하여 구성됨을 특징으로 하는 포토 다이오드의 구조.

【청구항 2】

제 1 항에 있어서,

상기 제 2 도전형 버퍼층과 제 2 전극 사이에 제 2 도전형 오믹접촉층을 더 구비함을 특징으로 하는 포토 다이오드의 구조.

【청구항 3】

제 2 항에 있어서,

상기 제 2 도전형 오믹접촉층을 포함한 기판 전면에 보호막이 더 구비되고 상기 보호막은 상기 제 1 전극과 상기 제 1 도전형 버퍼층이 전기적으로 연결되고 상기 제 2 전극과 상기 오믹접촉층이 전기적으로 연결되도록 콘택홀을 구비함을 특징으로 하는 포토 다이오드의 구조.

【청구항 4】

제 1 항에 있어서,

상기 기관의 배면에 형성되는 무반사막을 더 구비함을 특징으로 하는 포토 다이오드의 구조.

【청구항 5】

제 1 항에 있어서,

상기 제 1 도전형 버퍼층, 제 2 도전형 전기장 조절층 및 상기 제 2 도전형 버퍼층을 InP 반도체로 형성되고, 상기 제 2 도전형 광 흡수층은 InGaAs 반도체층으로 형성됨을 특징으로 하는 포토 다이오드의 구조.

【청구항 6】

제 1 항에 있어서,

상기 제 1 도전형 버퍼층은 InP 반도체층과 InAlAs 반도체층이 적층됨을 특징으로 하는 포토 다이오드의 구조.

【청구항 7】

제 1 항에 있어서,

상기 제 2 도전형 이온주입층의 전하밀도와 상기 제 2 도전형 전기장 조절층의 전하밀도의 합이 $3 \times 10^{12} / \text{cm}^2 \pm 20\%$ 이내이고, 상기 이온주입층이 형성되지 않은 가장자리 부분의 전하밀도는 $2 \times 10^{12} / \text{cm}^2 \pm 20\%$ 인 것을 특징으로 하는 포토 다이오드의 구조.

**【청구항 8】**

제 1 항에 있어서,

상기 초격자 구조의 증폭층은 InAlAs 반도체층 또는 InAlGaAs 반도체층으로 형성되거나, 상기 두 층이 교번하여 적층된 구조임을 특징으로 하는 포토 다이오드의 구조.

【청구항 9】

제 1 항에 있어서,

상기 제 2 전극은 상기 제 2 전극 쪽에서 광신호를 입사시킬 수 있도록 링 모양으로 형성됨을 특징으로 하는 포토 다이오드의 구조.

【청구항 10】

제 1 항에 있어서,

상기 기판은 제 1 도전형 InP 반도체 또는 반 절연 InP 반도체층으로 형성됨을 특징으로 하는 포토 다이오드의 구조.

【청구항 11】

기판을 준비하는 단계;

상기 기판위에 제 1 도전형 버퍼층, 초격자 구조의 증폭층, 제 2 도전형 전기장 조절층 및 표면 보호층을 차례로 형성하는 단계;

상기 전기장 조절층내에 이온 주입하여 제 2 도전형 이온 주입층을 형성하는 단계;

상기 표면 보호층을 제거하고 상기 전기장 조절층위에 제 2 도전형 광흡수층, 제 2 도전형 전기장 버퍼층 및 제 2 도전형 오믹접촉층을 차례로 형성하는 단계;

상기 제 1 도전형 버퍼층의 표면이 노출되도록 상기 이온 주입층을 중심으로 이온주입층 주위 영역의 상기 제 2 도전형 오믹 접촉층, 제 2 도전형 전기장 버퍼층, 제 2 도전형 광흡수층, 제 2 도전형 전기장 조절층, 초격자 구조의 증폭층을 선택적으로 제거하여 메사 구조를 형성하는 단계;

상기 오믹접촉층 및 상기 제 1 도전형 버퍼층에 콘택홀을 갖도록 기판 전면에 보호막을 형성하는 단계; 그리고

상기 콘택 홀을 통해 상기 제 1 도전형 버퍼층과 상기 제 2 도전형 오믹 접촉층에 전기적으로 연결되도록 제 1 전극과 제 2 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 12】

제 11 항에 있어서,

상기 이온주입층을 형성하는 단계는, 상기 전기장 조절층에 베릴륨(Be; Beryllium) 또는 마그네슘(Mg; Magnesium)과 같은 불순물을 이온 주입하는 단계와,

상기 기판을 열처리하여 주입된 이온을 활성화시키는 단계를 포함함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 13】

제 12 항에 있어서,

상기 열처리는 600~700℃로 함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 14】

제 11 항에 있어서,

소자의 두께를 줄이기 위해 기판을 랩핑하는 공정과 폴리싱하는 공정을 더 포함함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 15】

제 11 항에 있어서,

상기 기판의 배면에 무반사막을 형성하는 단계를 더 포함함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 16】

제 11 항에 있어서,

상기 제 1 도전형 버퍼층, 제 2 도전형 전기장 조절층 및 상기 제 2 도전형 버퍼층은 InP 반도체로 형성하고, 상기 제 2 도전형 광 흡수층 및 상기 제 2 도전형 오믹접촉층은 InGaAs 반도체층으로 형성함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 17】

제 11 항에 있어서,

상기 제 1 도전형 버퍼층은 InP 반도체층과 InAlAs 반도체층을 적층하고 메사 구조 형성 시 상기 InAlAs층을 제거함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 18】

제 11 항에 있어서,

상기 제 2 도전형 이온주입층의 전하밀도와 상기 제 2 도전형 전기장 조절층의 전하밀도의 합이 $3 \times 10^{12} / \text{cm}^2 \pm 20\%$ 이내이고, 상기 이온주입층이 형성되지 않은 가장자리 부분의 전하밀도는 $2 \times 10^{12} / \text{cm}^2 \pm 20\%$ 가 되도록 형성함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 19】

제 11 항에 있어서,

상기 초격자 구조의 증폭층은 InAlAs 반도체층 또는 InAlGaAs 반도체층으로 형성하거나, 상기 두 층을 교번하여 적층하여 형성함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 20】

기판을 준비하는 단계;

상기 기판위에 제 1 도전형 버퍼층, 초격자 구조의 증폭층, 제 2 도전형 전기장 조절층, 제 2 도전형 광흡수층, 제 2 도전형 전기장 버퍼층 및 제 2 도전형 오믹접촉층을 차례로 형성하는 단계;

상기 전기장 조절층내에 이온 주입하여 제 2 도전형 이온 주입층을 형성하는 단계;

상기 제 1 도전형 버퍼층의 표면이 노출되도록 상기 이온 주입층을 중심으로 이온주입층 주위 영역의 상기 제 2 도전형 오믹 접촉층, 제 2 도전형 전기장 버퍼층, 제 2 도전형 광흡수층, 제 2 도전형 전기장 조절층, 초격자 구조의 증폭층을 선택적으로 제거하여 메사 구조를 형성하는 단계;

상기 오믹접촉층 및 상기 제 1 도전형 버퍼층에 콘택홀을 갖도록 기판 전면에 보호막을 형성하는 단계; 그리고

상기 콘택 홀을 통해 상기 제 1 도전형 버퍼층과 상기 제 2 도전형 오믹 접촉층에 전기적으로 연결되도록 제 1 전극과 제 2 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 21】

제 20 항에 있어서,

상기 기판의 배면에 무반사막을 형성하는 단계를 더 포함함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 22】

제 20 항에 있어서,

상기 제 1 도전형 버퍼층, 제 2 도전형 전기장 조절층 및 상기 제 2 도전형 버퍼층은 InP 반도체로 형성하고, 상기 제 2 도전형 광 흡수층 및 상기 제 2 도전형 오믹접촉층은 InGaAs 반도체층으로 형성함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 23】

제 20 항에 있어서,

상기 제 1 도전형 버퍼층은 InP 반도체층과 InAlAs 반도체층을 적층하고 메사 구조 형성시 상기 InAlAs층을 제거함을 특징으로 하는 포토 다이오드의 제조 방법.

【청구항 24】

제 20 항에 있어서,

상기 제 2 도전형 이온주입층의 전하밀도와 상기 제 2 도전형 전기장 조절층의 전하밀도의 합이 $3 \times 10^{12} / \text{cm}^2 \pm 20\%$ 이내이고, 상기 이온주입층이 형성되지 않은 가장자리 부분의 전

하밀도는 $2 \times 10^{12} / \text{cm}^2 \pm 20\%$ 가 되도록 형성함을 특징으로 하는 포토 다이오드의 제조 방법.

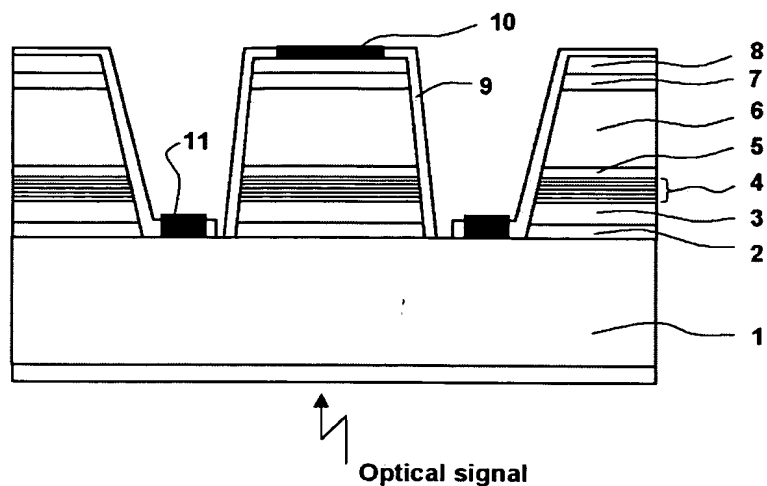
【청구항 25】

제 20 항에 있어서,

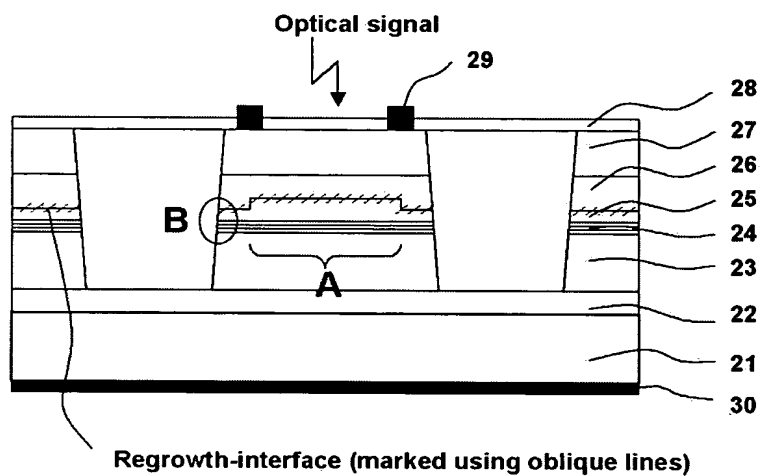
상기 초격자 구조의 증폭층은 InAlAs 반도체층 또는 InAlGaAs 반도체층으로 형성하거나, 상기 두 층을 교번하여 적층하여 형성함을 특징으로 하는 포토 다이오드의 제조 방법.

【도면】

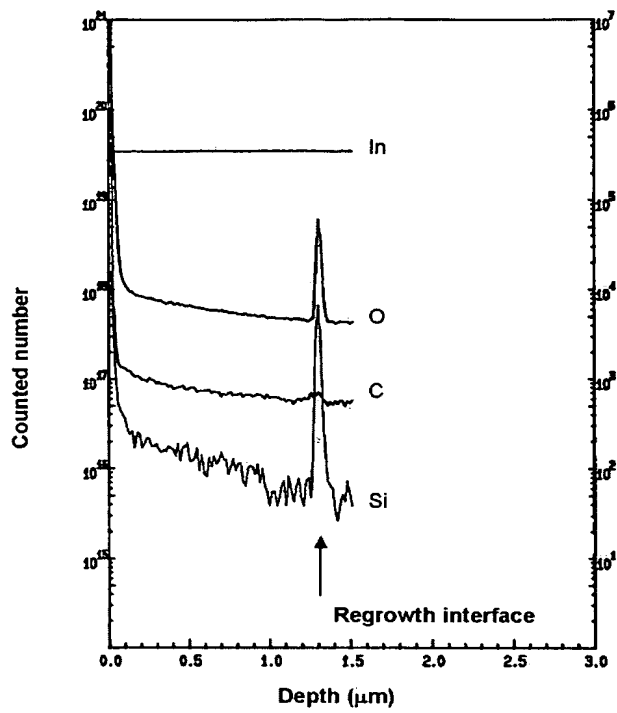
【도 1】



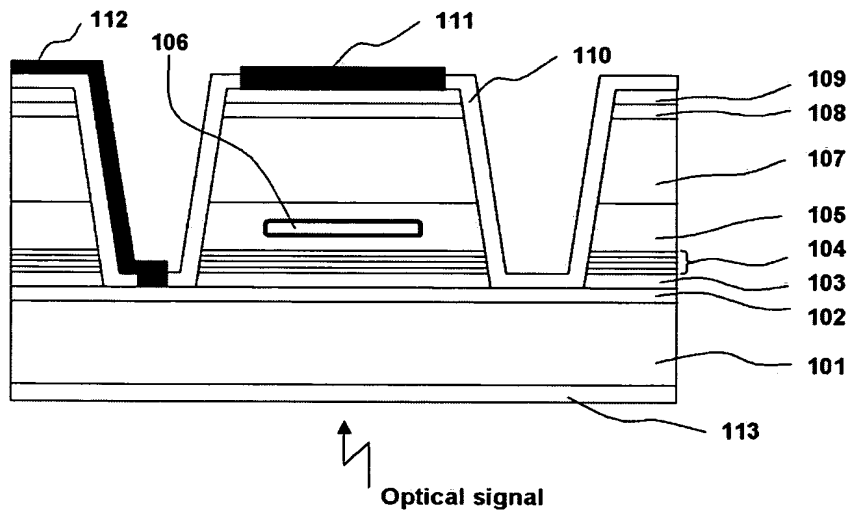
【도 2】



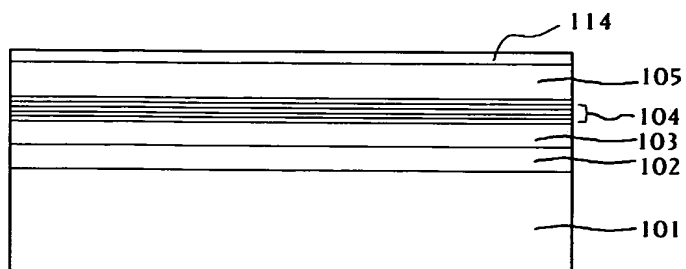
【도 3】



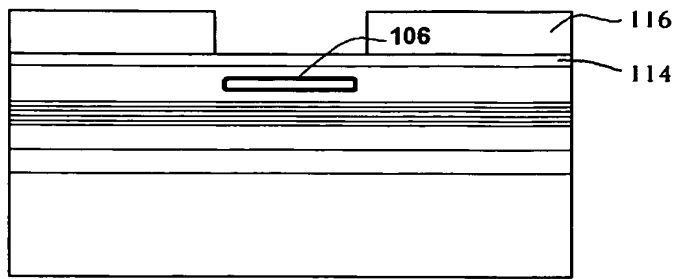
【도 4】



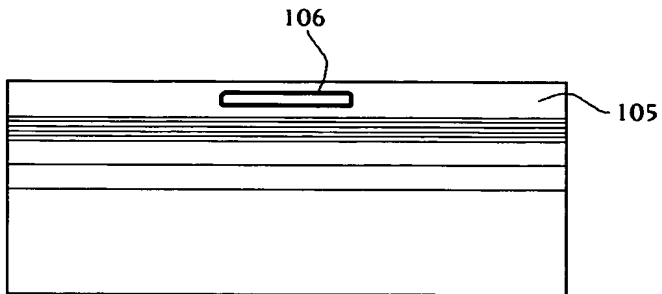
【도 5a】



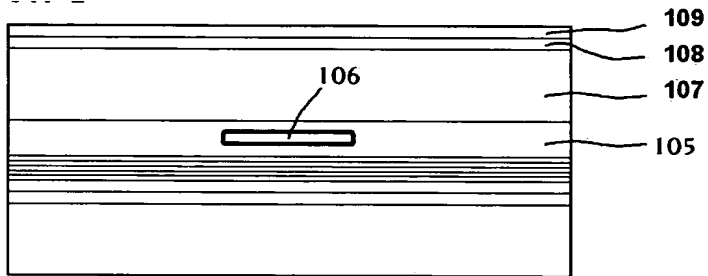
【도 5b】



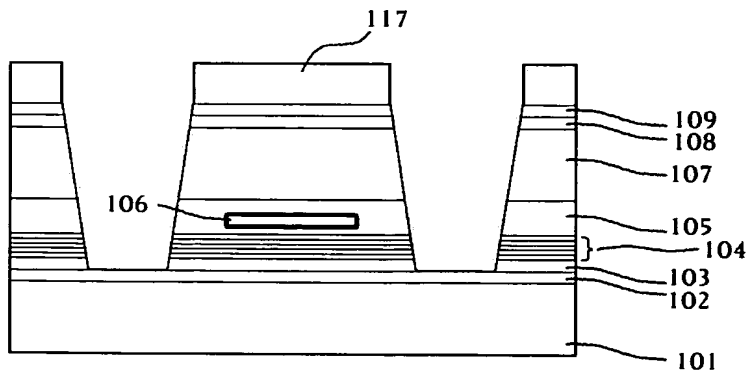
【도 5c】



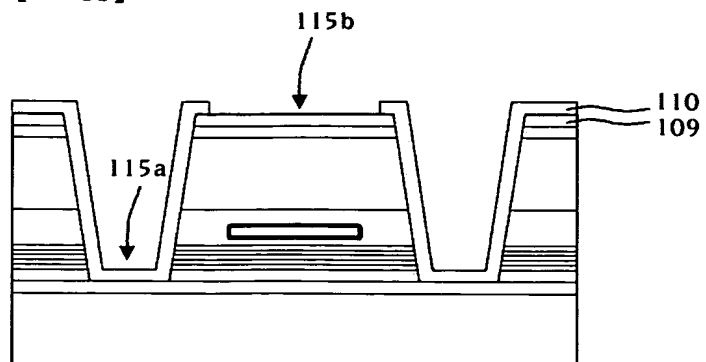
【도 5d】



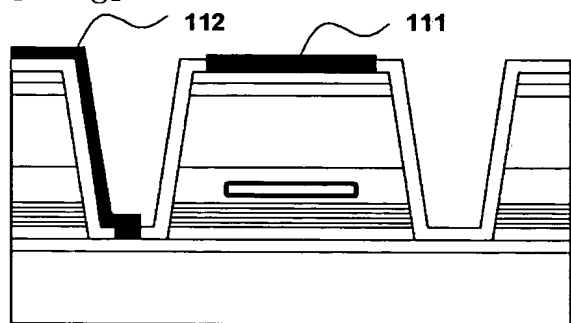
【도 5e】



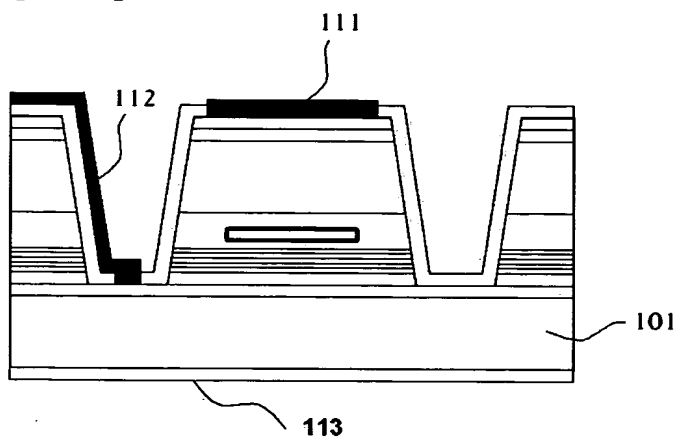
【도 5f】



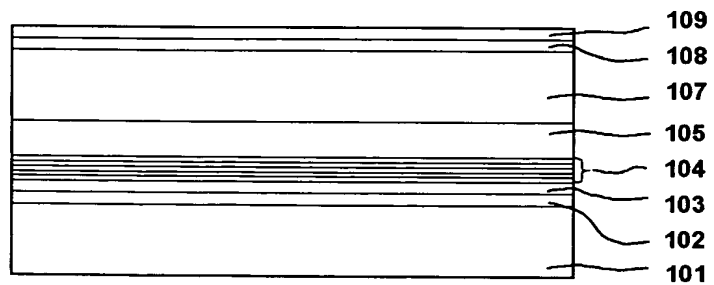
【도 5g】



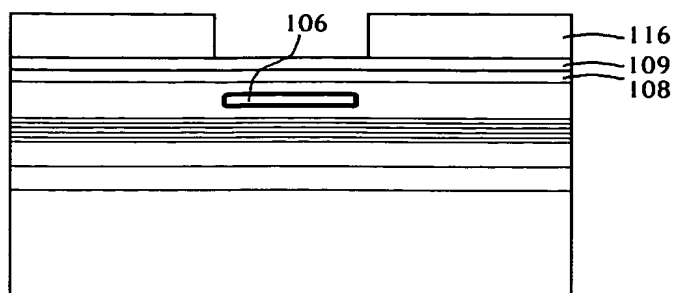
【도 5h】



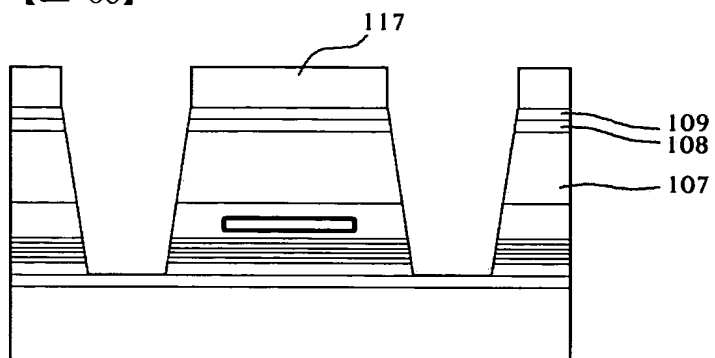
【도 6a】



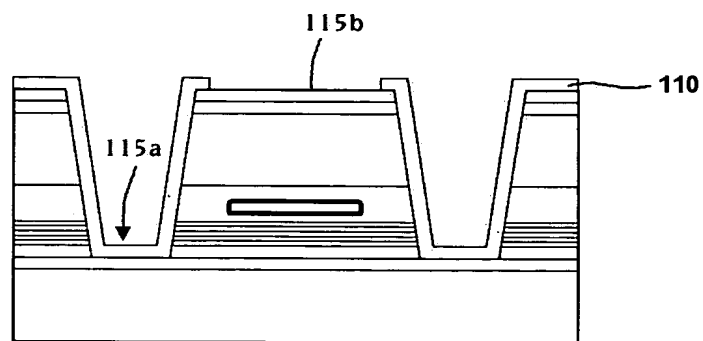
【도 6b】



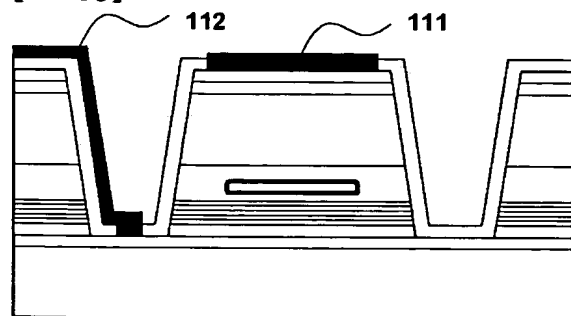
【도 6c】



【도 6d】



【도 6e】



【도 6f】

